Z80Aマシン語コード表

MSXのCPU・Z80Aのマシン語コードをまとめています。各マシン語命令の動作を知りたいときは命令動作表、コードを知りたいときやコードから命令を知りたいときは、命令コード表を使います。

●命令動作表の使い方

命令の種類ごとに分類しています。ニーモニック欄は命令の名前で、アセンブラを使うときに使います。動作内容は、命令の動作を簡潔に表しています。←は、右側の内容を左側へ代入することを示します。またカッコでくくられたものは、くくられたレジスタなどで示されるメモリの内容を意味します。(HL) とあれば、HLレジスタペアの内容で示されるアドレスのメモリ内容になります。ただし、入出力命令の（C）と（n）は、対応する入出力ポートの番号を意味します。PC_H などの表記は、その16ビットレジスタの上位8ビット（PC_L は下位8ビット）の内容を意味します。フラグ動作の表記は次の通りです。●は変化なし、0はリセット、1はセット、↕は実行結果により変化、×は不定(無意味)。その他IFF は、割り込みフリップフロップの内容が、そのフラグに読み出されます。P／Vフラグの欄でPまたはVとある場合、このフラグがそれぞれパリティ／オーバーフローフラグとして動作することを意味しています。長さの欄は、オペランドを含む命令の長さを示しています。MサイクルとTサイクルは、それぞれ命令実行に要するマシンサイクル数、クロックサイクル数です。ただし、MSXではM1サイクルに1ウエイト（1Tだけ長くなる)、またI／Oポートの読み出し／書き込みにもウエイトがかかりますから注意してください。

●命令コード表の使い方

各命令のコードを左側に記しています。コード中のnとdは、命令に続いて（または命令中に）与える1バイトのデータを意味しています。また nn_H は、16ビットのデータの内の上位8ビット（nn_L は下位）を示します。eは相対分岐命令でのアドレス位置を示す1バイトのデータです。d及びeの内容は−128〜127の数値とみなされ、負の数は補数表現です。なお、ED70のコードはフラグのみに影響を与える入力命令です。

命令動作表

8ビット移動命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
LD r, r'	r←r'	●●●●●●	1	1	4
LD r, n	r←n	●●●●●●	2	2	7
LD r, (HL)	r←(HL)	●●●●●●	1	2	7
LD r, (IX+d)	r←(IX+d)	●●●●●●	3	5	19
LD r, (IY+d)	r←(IY+d)	●●●●●●	3	5	19
LD (HL), r	(HL)←r	●●●●●●	1	2	7
LD (IX+d), r	(IX+d)←r	●●●●●●	3	5	19
LD (IY+d), r	(IY+d)←r	●●●●●●	3	5	19
LD (HL), n	(HL)←n	●●●●●●	2	3	10
LD (IX+d), n	(IX+d)←n	●●●●●●	4	5	19
LD (IY+d), n	(IY+d)←n	●●●●●●	4	5	19
LD A, (BC)	A←(BC)	●●●●●●	1	2	7
LD A, (DE)	A←(DE)	●●●●●●	1	2	7
LD A, (nn)	A←(nn)	●●●●●●	3	4	13
LD (BC), A	(BC)←A	●●●●●●	1	2	7
LD (DE), A	(DE)←A	●●●●●●	1	2	7
LD (nn), A	(nn)←A	●●●●●●	3	4	13
LD A, I	A←I	● ↕ IFF ↕ 0 0	2	2	9
LD A, R	A←R	● ↕ IFF ↕ 0 0	2	2	9
LD I, A	I←A	●●●●●●	2	2	9
LD R, A	R←A	●●●●●●	2	2	9

r, r': B, C, D, E, H, L, A

16ビット移動命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
LD dd, nn	dd←nn	●●●●●●	3	3	10
LD IX, nn	IX←nn	●●●●●●	4	4	14
LD IY, nn	IY←nn	●●●●●●	4	4	14
LD HL, (nn)	H←(nn+1) L←(nn)	●●●●●●	3	5	16
LD dd, (nn)	dd_H←(nn+1) dd_L←(nn)	●●●●●●	4	6	20
LD IX, (nn)	IX_H←(nn+1) IX_L←(nn)	●●●●●●	4	6	20
LD IY, (nn)	IY_H←(nn+1) IY_L←(nn)	●●●●●●	4	6	20
LD (nn), HL	(nn+1)←H (nn)←L	●●●●●●	3	5	16
LD (nn), dd	(nn+1)←dd_H (nn)←dd_L	●●●●●●	4	6	20
LD (nn), IX	(nn+1)←IX_H (nn)←IY_L	●●●●●●	4	6	20
LD (nn), IY	(nn+1)←IX_H (nn)←IY_L	●●●●●●	4	6	20
LD SP, HL	SP←HL	●●●●●●	1	1	6
LD SP, IX	SP←IX	●●●●●●	2	2	10
LD SP, IY	SP←IY	●●●●●●	2	2	10
PUSH qq	(SP−2)←qq_L (SP−1)←qq_H	●●●●●●	1	3	11
PUSH IX	(SP−2)←IX_L (SP−1)←IX_H	●●●●●●	2	4	15
PUSH IY	(SP−2)←IY_L (SP−1)←IY_H	●●●●●●	2	4	15
POP qq	qq_L←(SP) qq_H←(SP+1)	●●●●●●	1	3	10
POP IX	IX_L←(SP) IX_H←(SP+1)	●●●●●●	2	4	14
POP IY	IY_L←(SP) IY_H←(SP+1)	●●●●●●	2	4	14

dd: BC, DE, HL, SP,　qq: BC, DE, HL, AF

交換命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
EX DE, HL	DE↔HL	●●●●●●	1	1	4
EX AF, AF'	AF↔AF'	●●●●●●	1	1	4
EXX	BC↔BC' DE↔DE' HL↔HL'	●●●●●●	1	1	4
EX (SP), HL	L↔(SP) H↔(SP+1)	●●●●●●	1	5	19
EX (SP), IX	IX_L↔(SP) IX_H↔(SP+1)	●●●●●●	2	6	23
EX (SP), IY	IY_L↔(SP) IY_H↔(SP+1)	●●●●●●	2	6	23

AF'などは裏レジスタを示す。

ブロック転送命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
LDI	(DE)←(HL), DE←DE+1, HL←HL+1, BC←BC−1	● ● ↕ ● 0 0 ①	2	4	16
LDIR	(DE)←(HL), DE←DE+1, HL←HL+1, BC←BC−1 BC=0までくり返す	● ● 0 ● 0 0	2	③ 5 4 ④	③ 21 16 ④
LDD	(DE)←(HL), DE←DE−1, HL←HL−1, BC←BC−1	● ● ↕ ● 0 0 ①	2	4	16
LDDR	(DE)←(HL), DE←DE−1, HL←HL−1, BC←BC−1 BC=0までくり返す	● ● 0 ● 0 0	2	③ 5 4 ④	③ 21 16 ④
CPI	A−(HL), HL←HL+1, BC←BC−1	● ↕ ↕ ↕ 1 ↕ ②①	2	4	16
CPIR	A−(HL), HL←HL+1, BC←BC−1 A=(HL), またはBC=0までくり返す	● ↕ ↕ ↕ 1 ↕ ②①	2	⑤ 5 4 ⑥	⑤ 21 16 ⑥
CPD	A−(HL), HL←HL−1, BC←BC−1	● ↕ ↕ ↕ 1 ↕ ②①	2	4	16
CPDR	A−(HL), HL←HL−1, BC←BC−1 A=(HL), またはBC=0までくり返す	● ↕ ↕ ↕ 1 ↕ ②①	2	⑤ 5 4 ⑥	⑤ 21 16 ⑥

①BC=0となったとき、P／Vフラグが0、それ以外で1。②A=(HL)となったとき、Zフラグが1、それ以外で0。③BC≠0のときのサイクル数。④BC=0のときのサイクル数。⑤BC≠0で、A≠(HL)のときのサイクル数。⑥BC=0またはA=(HL)のときのサイクル数。

CPU制御命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
DAA	8ビートデータの加減算後に実行することでBCDに変換する	↕ ↕ P ↕ ● ↕	1	1	4
CPL	A←$\overline{A}$	● ● ● ● 1 1	1	1	4
NEG	A←0−A	↕ ↕ V ↕ 1 ↕	2	2	8
CCF	CY←$\overline{CY}$	↕ ● ● ● 0 ×	1	1	4
SCF	CY←1	1 ● ● ● 0 0	1	1	4
NOP	ノーオペレーション	●●●●●●	1	1	4
HALT	CPU動作停止	●●●●●●	1	1	4
DI	割り込み禁止(IFF←0)	●●●●●●	1	1	4
EI	割り込み許可(IFF←1)	●●●●●●	1	1	4
IM 0	割り込みモード0設定	●●●●●●	2	2	8
IM 1	割り込みモード1設定	●●●●●●	2	2	8
IM 2	割り込みモード2設定	●●●●●●	2	2	8

8ビット演算命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
ADD A, r	A←A+r	↕ ↕ V ↕ 0 ↕	1	1	4
ADD A, n	A←A+n	↕ ↕ V ↕ 0 ↕	2	2	7
ADD A, (HL)	A←A+(HL)	↕ ↕ V ↕ 0 ↕	1	2	7
ADD A, (IX+d)	A←A+(IX+d)	↕ ↕ V ↕ 0 ↕	3	5	19
ADD A, (IY+d)	A←A+(IY+d)	↕ ↕ V ↕ 0 ↕	3	5	19
ADC A, r	A←A+r+CY	↕ ↕ V ↕ 0 ↕	1	1	4
ADC A, n	A←A+n+CY	↕ ↕ V ↕ 0 ↕	2	2	7
ADC A, (HL)	A←A+(HL)+CY	↕ ↕ V ↕ 0 ↕	1	2	7
ADC A, (IX+d)	A←A+(IX+d)+CY	↕ ↕ V ↕ 0 ↕	3	5	19
ADC A, (IY+d)	A←A+(IY+d)+CY	↕ ↕ V ↕ 0 ↕	3	5	19
SUB r	A←A−r	↕ ↕ V ↕ 1 ↕	1	1	4
SUB n	A←A−n	↕ ↕ V ↕ 1 ↕	2	2	7
SUB (HL)	A←A−(HL)	↕ ↕ V ↕ 1 ↕	1	2	7
SUB (IX+d)	A←A−(IX+d)	↕ ↕ V ↕ 1 ↕	3	5	19
SUB (IY+d)	A←A−(IY+d)	↕ ↕ V ↕ 1 ↕	3	5	19
SBC A, r	A←A−r−CY	↕ ↕ V ↕ 1 ↕	1	1	4
SBC A, n	A←A−n−CY	↕ ↕ V ↕ 1 ↕	2	2	7
SBC A, (HL)	A←A−(HY)−CY	↕ ↕ V ↕ 1 ↕	1	2	7
SBC A, (IX+d)	A←A−(IX+d)−CY	↕ ↕ V ↕ 1 ↕	3	5	19
SBC A, (IY+d)	A←A−(IY+d)−CY	↕ ↕ V ↕ 1 ↕	3	5	19
AND r	A←A∧r	0 ↕ P ↕ 0 1	1	1	4
AND n	A←A∧n	0 ↕ P ↕ 0 1	2	2	7
AND (HL)	A←A∧(HL)	0 ↕ P ↕ 0 1	1	2	7
AND (IX+d)	A←A∧(IX+d)	0 ↕ P ↕ 0 1	3	5	19
AND (IY+d)	A←A∧(IY+d)	0 ↕ P ↕ 0 1	3	5	19
OR r	A←A∨r	0 ↕ P ↕ 0 0	1	1	4
OR n	A←A∨n	0 ↕ P ↕ 0 0	2	2	7
OR (HL)	A←A∨(HL)	0 ↕ P ↕ 0 0	1	2	7
OR (IX+d)	A←A∨(IX+d)	0 ↕ P ↕ 0 0	3	5	19
OR (IY+d)	A←A∨(IY+d)	0 ↕ P ↕ 0 0	3	5	19
XOR r	A←A⊕r	0 ↕ P ↕ 0 0	1	1	4
XOR n	A←A⊕n	0 ↕ P ↕ 0 0	2	2	7
XOR (HL)	A←A⊕(HL)	0 ↕ P ↕ 0 0	1	2	7
XOR (IX+d)	A←A⊕(IX+d)	0 ↕ P ↕ 0 0	3	5	19
XOR (IY+d)	A←A⊕(IY+d)	0 ↕ P ↕ 0 0	3	5	19
CP r	A−r	↕ ↕ V ↕ 1 ↕	1	1	4
CP n	A−n	↕ ↕ V ↕ 1 ↕	2	2	7
CP (HL)	A−(HL)	↕ ↕ V ↕ 1 ↕	1	2	7
CP (IX+d)	A−(IX+d)	↕ ↕ V ↕ 1 ↕	3	5	19
CP (IY+d)	A−(IY+d)	↕ ↕ V ↕ 1 ↕	3	5	19
INC r	r←r+1	● ↕ V ↕ 0 ↕	1	1	4
INC (HL)	(HL)←(HL)+1	● ↕ V ↕ 0 ↕	1	3	11
INC (IX+d)	(IX+d)←(IX+d)+1	● ↕ V ↕ 0 ↕	3	6	23
INC (IY+d)	(IY+d)←(IY+d)+1	● ↕ V ↕ 0 ↕	3	6	23
DEC r	r←r−1	● ↕ V ↕ 1 ↕	1	1	4
DEC (HL)	(HL)←(HL)−1	● ↕ V ↕ 1 ↕	1	3	11
DEC (IX+d)	(IX+d)←(IX+d)−1	● ↕ V ↕ 1 ↕	3	6	23
DEC (IY+d)	(IY+d)←(IY+d)−1	● ↕ V ↕ 1 ↕	3	6	23

∧はAND演算、∨はOR演算、⊕はXOR演算を表す。

16ビット演算命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
ADD HL, ss	HL←HL+ss	↕ ● ● ● 0 ×	1	3	11
ADC HL, ss	HL←HL+ss+CY	↕ ↕ V ↕ 0 ×	2	4	15
SBC HL, ss	HL←HL−ss−CY	↕ ↕ V ↕ 1 ×	2	4	15
ADD IX, pp	IX←IX+pp	↕ ● ● ● 0 ×	2	4	15
ADD IY, rr	IY←IY+rr	↕ ● ● ● 0 ×	2	4	15
INC ss	ss←ss+1	●●●●●●	1	1	6
INC IX	IX←IX+1	●●●●●●	2	2	10
INC IY	IY←IY+1	●●●●●●	2	2	10
DEC ss	ss←ss−1	●●●●●●	1	1	6
DEC IX	IX←IX−1	●●●●●●	2	2	10
DEC IY	IY←IY−1	●●●●●●	2	2	10

ss: BC, DE, HL, SP,　pp: BC, DE, IX, SP,
rr: BC, DE, IY, SP

ビット循環命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
RLCA	[図: CY ← 7 ← 0 (A)]	↕ ● ● ● 0 0	1	1	4
RLA	[図: CY ← 7 ← 0 (A)]	↕ ● ● ● 0 0	1	1	4
RRCA	[図: 7 → 0 (A) → CY]	↕ ● ● ● 0 0	1	1	4
RRA	[図: 7 → 0 (A) → CY]	↕ ● ● ● 0 0	1	1	4
RLD	[図: 7 4 3 0 (A), 7 4 3 0 (HL)]	● ↕ P ↕ 0 0	2	5	18
RRD	[図: 7 4 3 0 (A), 7 4 3 0 (HL)]	● ↕ P ↕ 0 0	2	5	18
RLC r	[図: CY ← 7 ← 0]	↕ ↕ P ↕ 0 0	2	2	8
RLC (HL)		↕ ↕ P ↕ 0 0	2	4	15
RLC (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
RLC (IY+d)		↕ ↕ P ↕ 0 0	4	6	23
RL r	[図: CY ← 7 ← 0]	↕ ↕ P ↕ 0 0	2	2	8
RL (HL)		↕ ↕ P ↕ 0 0	2	4	15
RL (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
RL (IY+d)		↕ ↕ P ↕ 0 0	4	6	23
RRC r	[図: 7 → 0 → CY]	↕ ↕ P ↕ 0 0	2	2	8
RRC (HL)		↕ ↕ P ↕ 0 0	2	4	15
RRC (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
RRC (IY+d)		↕ ↕ P ↕ 0 0	4	6	23
RR r	[図: 7 → 0 → CY]	↕ ↕ P ↕ 0 0	2	2	8
RR (HL)		↕ ↕ P ↕ 0 0	2	4	15
RR (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
RR (IY+d)		↕ ↕ P ↕ 0 0	4	6	23
SLA r	[図: CY ← 7 ← 0 ← 0]	↕ ↕ P ↕ 0 0	2	2	8
SLA (HL)		↕ ↕ P ↕ 0 0	2	4	15
SLA (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
SLA (IY+d)		↕ ↕ P ↕ 0 0	4	6	23
SRA r	[図: 7 → 0 → CY]	↕ ↕ P ↕ 0 0	2	2	8
SRA (HL)		↕ ↕ P ↕ 0 0	2	4	15
SRA (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
SRA (IY+d)		↕ ↕ P ↕ 0 0	4	6	23
SRL r	[図: 0 → 7 → 0 → CY]	↕ ↕ P ↕ 0 0	2	2	8
SRL (HL)		↕ ↕ P ↕ 0 0	2	4	15
SRL (IX+d)		↕ ↕ P ↕ 0 0	4	6	23
SRL (IY+d)		↕ ↕ P ↕ 0 0	4	6	23

r: B, C, D, E, H, L, A

ビット操作命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
BIT b, r	Z←$\overline{\text{r の bit b}}$	● ↕ × × 0 1	2	2	8
BIT b, (HL)	Z←$\overline{\text{(HL) の bit b}}$	● ↕ × × 0 1	2	3	12
BIT b, (IX+d)	Z←$\overline{\text{(IX+d) の bit b}}$	● ↕ × × 0 1	4	5	20
BIT b, (IY+d)	Z←$\overline{\text{(IY+d) の bit b}}$	● ↕ × × 0 1	4	5	20
SET b, r	rのbit b←1	●●●●●●	2	2	8
SET b, (HL)	(HL)のbit b←1	●●●●●●	2	4	15
SET b, (IX+d)	(IX+d)のbit b←1	●●●●●●	4	6	23
SET b, (IY+d)	(IY+d)のbit b←1	●●●●●●	4	6	23
RES b, r	rのbit b←0	●●●●●●	2	2	8
RES b, (HL)	(HL)のbit b←0	●●●●●●	2	4	15
RES b, (IX+d)	(IX+d)のbit b←0	●●●●●●	4	6	23
RES b, (IY+d)	(IY+d)のbit b←0	●●●●●●	4	6	23

b: ビット番号(0〜7), r: B, C, D, E, H, L, A

分岐命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
JP nn	PC←nn	●●●●●●	3	3	10
JP NZ, nn	Z=0ならPC←nn	●●●●●●	3	3	10
JP Z, nn	Z=1ならPC←nn	●●●●●●	3	3	10
JP NC, nn	C=0ならPC←nn	●●●●●●	3	3	10
JP C, nn	C=1ならPC←nn	●●●●●●	3	3	10
JP PO, nn	P/V=0ならPC←nn	●●●●●●	3	3	10
JP PE, nn	P/V=1ならPC←nn	●●●●●●	3	3	10
JP P, nn	S=0ならPC←nn	●●●●●●	3	3	10
JP M, nn	S=1ならPC←nn	●●●●●●	3	3	10
JP (HL)	PC←HL	●●●●●●	1	1	4
JP (IX)	PC←IX	●●●●●●	2	2	8
JP (IY)	PC←IY	●●●●●●	2	2	8
JR e	PC←PC+e	●●●●●●	2	3	12
JR NZ, e	Z=0ならPC←PC+e	●●●●●●	2 ①	2 3	7 12
JR Z, e	Z=1ならPC←PC+e	●●●●●●	2 ①	2 3	7 12
JR NC, e	C=0ならPC←PC+e	●●●●●●	2 ①	2 3	7 12
JR C, e	C=1ならPC←PC+e	●●●●●●	2 ①	2 3	7 12
DJNZ e	B←B−1, B≠0ならPC←PC+e	●●●●●●	2 ②	2 3	8 13

①M、Tサイクルは、条件不成立のとき上側、条件が成立したとき下側の値になる。②B=0のとき上側

コール命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
CALL nn	(SP−2)←PC_L (SP−1)←PC_H PC←nn	●●●●●●	3	5	17
CALL NZ, nn	Z=0ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL Z, nn	Z=1ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL NC, nn	C=0ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL C, nn	C=1ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL PO, nn	P/V=0ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL PE, nn	P/V=1ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL P, nn	S=0ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
CALL M, nn	S=1ならCALL nnと同じ	●●●●●●	3 ①	3 5	10 17
RET	PC_L←(SP) PC_H←(SP+1)	●●●●●●	1	3	10
RET NZ	Z=0ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET Z	Z=1ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET NC	C=0ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET C	C=1ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET PO	P/V=0ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET PE	P/V=1ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET P	S=0ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RET M	S=1ならRETと同じ	●●●●●●	1 ①	1 3	5 11
RETI	割り込みルーチンからのRET命令	●●●●●●	2	4	14
RETN	ノンマスカブル割り込みからのRET命令	●●●●●●	2	4	14
RST p	(SP−2)←PC_L (SP−1)←PC_H PC_L←p, PC_H←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	●●●●●●	1	3	11

①M、Tサイクルは、条件不成立のとき上側、条件が成立したとき下側の値になる。

入出力命令

ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ	M	T
IN A, n	A←(n)	●●●●●●	2	3	11
IN r, (C)	r←(C), ただしフラグのみ影響を与えるコードがある	● ↕ P ↕ 0 0	2	3	12
INI	(HL)←(C), B←B−1, HL←HL+1	① ● ↕ × × 1 ×	2	4	16
INIR	(HL)←(C), B←B−1, HL←HL+1 B=0までくり返す	● 1 × × 1 ×	2 ②	5 4	21 16
IND	(HL)←(C), B←B−1, HL←HL−1	① ● ↕ × × 1 ×	2	4	16
INDR	(HL)←(C), B←B−1, HL←HL−1 B=0までくり返す	● 1 × × 1 ×	2 ②	5 4	21 16
OUT n, A	(n)←A	●●●●●●	2	3	11
OUT (C), r	(C)←r	●●●●●●	2	3	12
OUTI	(C)←(HL), B←B−1, HL←HL+1	● ↕ × × 1 × ①	2	4	16
OTIR	(C)←(HL), B←B−1, HL←HL+1 B=0までくり返す	● 1 × × 1 ×	2 ②	5 4	21 16
OUTD	(C)←(HL), B←B−1, HL←HL−1	① ● ↕ × × 1 ×	2	4	16
OTDR	(C)←(HL), B←B−1, HL←HL−1 B=0までくり返す	● 1 × × 1 ×	2 ②	5 4	21 16

①B=0のとき1、それ以外のとき0。②M、Tサイクルは、B≠0のとき上側、B=0のとき下側。r: B, C, D, E, H, L, A

命令コード表

8ビット移動命令

40	LD B, B
41	LD B, C
42	LD B, D
43	LD B, E
44	LD B, H
45	LD B, L
46	LD B, (HL)
47	LD B, A
48	LD C, B
49	LD C, C
4A	LD C, D
4B	LD C, E
4C	LD C, H
4D	LD C, L
4E	LD C, (HL)
4F	LD C, A
50	LD D, B
51	LD D, C
52	LD D, D
53	LD D, E
54	LD D, H
55	LD D, L
56	LD D, (HL)
57	LD D, A
58	LD E, B
59	LD E, C
5A	LD E, D
5B	LD E, E
5C	LD E, H
5D	LD E, L
5E	LD E, (HL)
5F	LD E, A
60	LD H, B
61	LD H, C
62	LD H, D
63	LD H, E
64	LD H, H
65	LD H, L
66	LD H, (HL)
67	LD H, A
68	LD L, B
69	LD L, C
6A	LD L, D
6B	LD L, E
6C	LD L, H
6D	LD L, L
6E	LD L, (HL)
6F	LD L, A
78	LD A, B
79	LD A, C
7A	LD A, D
7B	LD A, E
7C	LD A, H
7D	LD A, L
7E	LD A, (HL)
7F	LD A, A
70	LD (HL), B
71	LD (HL), C
72	LD (HL), D
73	LD (HL), E
74	LD (HL), H
75	LD (HL), L
77	LD (HL), A
06 n	LD B, n
0E n	LD C, n
16 n	LD D, n
1E n	LD E, n
26 n	LD H, n
2E n	LD L, n
36 n	LD (HL), n
3E n	LD A, n
DD 46 d	LD B, (IX+d)
DD 4E d	LD C, (IX+d)
DD 56 d	LD D, (IX+d)
DD 5E d	LD E, (IX+d)
DD 66 d	LD H, (IX+d)
DD 6E d	LD L, (IX+d)
DD 7E d	LD A, (IX+d)
FD 46 d	LD B, (IY+d)
FD 4E d	LD C, (IY+d)
FD 56 d	LD D, (IY+d)
FD 5E d	LD E, (IY+d)
FD 66 d	LD H, (IY+d)
FD 6E d	LD L, (IY+d)
FD 7E d	LD A, (IY+d)
DD 70 d	LD (IX+d), B
DD 71 d	LD (IX+d), C
DD 72 d	LD (IX+d), D
DD 73 d	LD (IX+d), E
DD 74 d	LD (IX+d), H
DD 75 d	LD (IX+d), L
DD 77 d	LD (IX+d), A
DD 36 d n	LD (IX+d), n
FD 70 d	LD (IY+d), B
FD 71 d	LD (IY+d), C
FD 72 d	LD (IY+d), D
FD 73 d	LD (IY+d), E
FD 74 d	LD (IY+d), H
FD 75 d	LD (IY+d), L
FD 77 d	LD (IY+d), A
FD 36 d n	LD (IY+d), n
0A	LD A, (BC)
1A	LD A, (DE)
3A nn_L nn_H	LD A, (nn)
02	LD (BC), A
12	LD (DE), A
32 nn_L nn_H	LD (nn), A
ED 47	LD I, A
ED 4F	LD R, A
ED 57	LD A, I
ED 5F	LD A, R

16ビット移動命令

01 nn_L nn_H	LD BC, nn
11 nn_L nn_H	LD DE, nn
21 nn_L nn_H	LD HL, nn
31 nn_L nn_H	LD SP, nn
DD 21 nn_L nn_H	LD IX, nn
FD 21 nn_L nn_H	LD IY, nn
2A nn_L nn_H	LD HL, (nn)
ED 4B nn_L nn_H	LD BC, (nn)
ED 5B nn_L nn_H	LD DE, (nn)
ED 6B nn_L nn_H	LD HL, (nn)
ED 7B nn_L nn_H	LD SP, (nn)
DD 2A nn_L nn_H	LD IX, (nn)
FD 2A nn_L nn_H	LD IY, (nn)
22 nn_L nn_H	LD (nn), HL
ED 43 nn_L nn_H	LD (nn), BC
ED 53 nn_L nn_H	LD (nn), DE
ED 63 nn_L nn_H	LD (nn), HL
ED 73 nn_L nn_H	LD (nn), SP
DD 22 nn_L nn_H	LD (nn), IX
FD 22 nn_L nn_H	LD (nn), IY
F9	LD SP, HL
DD F9	LD SP, IX
FD F9	LD SP, IY
C5	PUSH BC
D5	PUSH DE
E5	PUSH HL
F5	PUSH AF
DD E5	PUSH IX
FD E5	PUSH IY
C1	POP BC
D1	POP DE
E1	POP HL
F1	POP AF
DD E1	POP IX
FD E1	POP IY

交換命令

EB	EX DE, HL
08	EX AF, AF'
D9	EXX
E3	EX (SP), HL
DD E3	EX (SP), IX
FD E3	EX (SP), IY

ブロック転送命令

ED A0	LDI
ED B0	LDIR
ED A8	LDD
ED B8	LDDR
ED A1	CPI
ED B1	CPIR
ED A9	CPD
ED B9	CPDR

CPU制御命令

27	DAA
2F	CPL
ED 44	NEG
3F	CCF
37	SCF
00	NOP
76	HALT
F3	DI
FB	EI
ED 46	IM 0
ED 56	IM 1
ED 5E	IM 2

8ビット演算命令

80	ADD A, B
81	ADD A, C
82	ADD A, D
83	ADD A, E
84	ADD A, H
85	ADD A, L
86	ADD A, (HL)
87	ADD A, A
C6 n	ADD A, n
DD 86 d	ADD A, (IX+d)
FD 86 d	ADD A, (IY+d)
88	ADC A, B
89	ADC A, C
8A	ADC A, D
8B	ADC A, E
8C	ADC A, H
8D	ADC A, L
8E	ADC A, (HL)
8F	ADC A, A
CE n	ADC A, n
DD 8E d	ADC A, (IX+d)
FD 8E d	ADC A, (IY+d)
90	SUB B
91	SUB C
92	SUB D
93	SUB E
94	SUB H
95	SUB L
96	SUB (HL)
97	SUB A
D6 n	SUB n
DD 96 d	SUB (IX+d)
FD 96 d	SUB (IY+d)
98	SBC A, B
99	SBC A, C
9A	SBC A, D
9B	SBC A, E
9C	SBC A, H
9D	SBC A, L
9E	SBC A, (HL)
9F	SBC A, A
DE n	SBC A, n
DD 9E d	SBC A, (IX+d)
FD 9E d	SBC A, (IY+d)
A0	AND B
A1	AND C
A2	AND D
A3	AND E
A4	AND H
A5	AND L
A6	AND (HL)
A7	AND A
E6 n	AND n
DD A6 d	AND (IX+d)
FD A6 d	AND (IY+d)
B0	OR B
B1	OR C
B2	OR D
B3	OR E
B4	OR H
B5	OR L
B6	OR (HL)
B7	OR A
F6 n	OR n
DD B6 d	OR (IX+d)
FD B6 d	OR (IY+d)
A8	XOR B
A9	XOR C
AA	XOR D
AB	XOR E
AC	XOR H
AD	XOR L
AE	XOR (HL)
AF	XOR A
EE n	XOR n
DD AE d	XOR (IX+d)
FD AE d	XOR (IY+d)
B8	CP B
B9	CP C
BA	CP D
BB	CP E
BC	CP H
BD	CP L
BE	CP (HL)
BF	CP A
FE n	CP n
DD BE d	CP (IX+d)
FD BE d	CP (IY+d)
04	INC B
0C	INC C
14	INC D
1C	INC E
24	INC H
2C	INC L
34	INC (HL)
3C	INC A
DD 34 d	INC (IX+d)
FD 34 d	INC (IY+d)
05	DEC B
0D	DEC C
15	DEC D
1D	DEC E
25	DEC H
2D	DEC L
35	DEC (HL)
3D	DEC A
DD 35 d	DEC (IX+d)
FD 35 d	DEC (IY+d)

16ビット演算命令

09	ADD HL, BC
19	ADD HL, DE
29	ADD HL, HL
39	ADD HL, SP
ED 4A	ADC HL, BC
ED 5A	ADC HL, DE
ED 6A	ADC HL, HL
ED 7A	ADC HL, SP
ED 42	SBC HL, BC
ED 52	SBC HL, DE
ED 62	SBC HL, HL
ED 72	SBC HL, SP
DD 09	ADD IX, BC
DD 19	ADD IX, DE
DD 29	ADD IX, IX
DD 39	ADD IX, SP
FD 09	ADD IY, BC
FD 19	ADD IY, DE
FD 29	ADD IY, IY
FD 39	ADD IY, SP
03	INC BC
13	INC DE
23	INC HL
33	INC SP
DD 23	INC IX
FD 23	INC IY
0B	DEC BC
1B	DEC DE
2B	DEC HL
3B	DEC SP
DD 2B	DEC IX
FD 2B	DEC IY

ビット循環命令

07	RLCA
17	RLA
0F	RRCA
1F	RRA
CB 00	RLC B
CB 01	RLC C
CB 02	RLC D
CB 03	RLC E
CB 04	RLC H
CB 05	RLC L
CB 06	RLC (HL)
CB 07	RLC A
DD CB d 06	RLC (IX+d)
FD CB d 06	RLC (IY+d)
CB 08	RRC B
CB 09	RRC C
CB 0A	RRC D
CB 0B	RRC E
CB 0C	RRC H
CB 0D	RRC L
CB 0E	RRC (HL)
CB 0F	RRC A
DD CB d 0E	RRC (IX+d)
FD CB d 0E	RRC (IY+d)
CB 10	RL B
CB 11	RL C
CB 12	RL D
CB 13	RL E
CB 14	RL H
CB 15	RL L
CB 16	RL (HL)
CB 17	RL A
DD CB d 16	RL (IX+d)
FD CB d 16	RL (IY+d)
CB 18	RR B
CB 19	RR C
CB 1A	RR D
CB 1B	RR E
CB 1C	RR H
CB 1D	RR L
CB 1E	RR (HL)
CB 1F	RR A
DD CB d 1E	RR (IX+d)
FD CB d 1E	RR (IY+d)
CB 20	SLA B
CB 21	SLA C
CB 22	SLA D
CB 23	SLA E
CB 24	SLA H
CB 25	SLA L
CB 26	SLA (HL)
CB 27	SLA A
DD CB d 26	SLA (IX+d)
FD CB d 26	SLA (IY+d)
CB 28	SRA B
CB 29	SRA C
CB 2A	SRA D
CB 2B	SRA E
CB 2C	SRA H
CB 2D	SRA L
CB 2E	SRA (HL)
CB 2F	SRA A
DD CB d 2E	SRA (IX+d)
FD CB d 2E	SRA (IY+d)
CB 38	SRL B
CB 39	SRL C
CB 3A	SRL D
CB 3B	SRL E
CB 3C	SRL H
CB 3D	SRL L
CB 3E	SRL (HL)
CD 3F	SRL A
DD CB d 3E	SRL (IY+d)
FD CB d 3E	SRL (IY+d)
ED 6F	RLD
ED 67	RRD

ビット操作命令

CB 40	BIT 0, B
CB 41	BIT 0, C
CB 42	BIT 0, D
CB 43	BIT 0, E
CB 44	BIT 0, H
CB 45	BIT 0, L
CB 46	BIT 0, (HL)
CB 47	BIT 0, A
CB 48	BIT 1, B
CB 49	BIT 1, C
CB 4A	BIT 1, D
CB 4B	BIT 1, E
CB 4C	BIT 1, H
CB 4D	BIT 1, L
CB 4E	BIT 1, (HL)
CB 4F	BIT 1, A
CB 50	BIT 2, B
CB 51	BIT 2, C
CB 52	BIT 2, D
CB 53	BIT 2, E
CB 54	BIT 2, H
CB 55	BIT 2, L
CB 56	BIT 2, (HL)
CB 57	BIT 2, A
CB 58	BIT 3, B
CB 59	BIT 3, C
CB 5A	BIT 3, D
CB 5B	BIT 3, E
CB 5C	BIT 3, H
CB 5D	BIT 3, L
CB 5E	BIT 3, (HL)
CB 5F	BIT 3, A
CB 60	BIT 4, B
CB 61	BIT 4, C
CB 62	BIT 4, D
CB 63	BIT 4, E
CB 64	BIT 4, H
CB 65	BIT 4, L
CB 66	BIT 4, (HL)
CB 67	BIT 4, A
CB 68	BIT 5, B
CB 69	BIT 5, C
CB 6A	BIT 5, D
CB 6B	BIT 5, E
CB 6C	BIT 5, H
CB 6D	BIT 5, L
CB 6E	BIT 5, (HL)
CB 6F	BIT 5, A
CB 70	BIT 6, B
CB 71	BIT 6, C
CB 72	BIT 6, D
CB 73	BIT 6, E
CB 74	BIT 6, H
CB 75	BIT 6, L
CB 76	BIT 6, (HL)
CB 77	BIT 6, A
CB 78	BIT 7, B
CB 79	BIT 7, C
CB 7A	BIT 7, D
CB 7B	BIT 7, E
CB 7C	BIT 7, H
CB 7D	BIT 7, L
CB 7E	BIT 7, (HL)
CB 7F	BIT 7, A
DD CB d 46	BIT 0, (IX+d)
DD CB d 4E	BIT 1, (IX+d)
DD CB d 56	BIT 2, (IX+d)
DD CB d 5E	BIT 3, (IX+d)
DD CB d 66	BIT 4, (IX+d)
DD CB d 6E	BIT 5, (IX+d)
DD CB d 76	BIT 6, (IX+d)
DD CB d 7E	BIT 7, (IX+d)
FD CB d 46	BIT 0, (IY+d)
FD CB d 4E	BIT 1, (IY+d)
FD CB d 56	BIT 2, (IY+d)
FD CB d 5E	BIT 3, (IY+d)
FD CB d 66	BIT 4, (IY+d)
FD CB d 6E	BIT 5, (IY+d)
FD CB d 76	BIT 6, (IY+d)
FD CB d 7E	BIT 7, (IY+d)
CB C0	SET 0, B
CB C1	SET 0, C
CB C2	SET 0, D
CB C3	SET 0, E
CB C4	SET 0, H
CB C5	SET 0, L
CB C6	SET 0, (HL)
CB C7	SET 0, A
CB C8	SET 1, B
CB C9	SET 1, C
CB CA	SET 1, D
CB CB	SET 1, E
CB CC	SET 1, H
CB CD	SET 1, L
CB CE	SET 1, (HL)
CB CF	SET 1, A
CB D0	SET 2, B
CB D1	SET 2, C
CB D2	SET 2, D
CB D3	SET 2, E
CB D4	SET 2, H
CB D5	SET 2, L
CB D6	SET 2, (HL)
CB D7	SET 2, A
CB D8	SET 3, B
CB D9	SET 3, C
CB DA	SET 3, D
CB DB	SET 3, E
CB DC	SET 3, H
CB DD	SET 3, L
CB DE	SET 3, (HL)
CB DF	SET 3, A
CB E0	SET 4, B
CB E1	SET 4, C
CB E2	SET 4, D
CB E3	SET 4, E
CB E4	SET 4, H
CB E5	SET 4, L
CB E6	SET 4, (HL)
CB E7	SET 4, A
CB E8	SET 5, B
CB E9	SET 5, C
CB EA	SET 5, D
CB EB	SET 5, E
CB EC	SET 5, H
CB ED	SET 5, L
CB EE	SET 5, (HL)
CB EF	SET 5, A
CB F0	SET 6, B
CB F1	SET 6, C
CB F2	SET 6, D
CB F3	SET 6, E
CB F4	SET 6, H
CB F5	SET 6, L
CB F6	SET 6, (HL)
CB F7	SET 6, A
CB F8	SET 7, B
CB F9	SET 7, C
CB FA	SET 7, D
CB FB	SET 7, E
CB FC	SET 7, H
CB FD	SET 7, L
CB FE	SET 7, (HL)
CB FF	SET 7, A
DD CB d C6	SET 0, (IX+d)
DD CB d CE	SET 1, (IX+d)
DD CB d D6	SET 2, (IX+d)
DD CB d DE	SET 3, (IX+d)
DD CB d E6	SET 4, (IX+d)
DD CB d EE	SET 5, (IX+d)
DD CB d F6	SET 6, (IX+d)
DD CB d FE	SET 7, (IX+d)
FD CB d C6	SET 0, (IY+d)
FD CB d CE	SET 1, (IY+d)
FD CB d D6	SET 2, (IY+d)
FD CB d DE	SET 3, (IY+d)
FD CB d E6	SET 4, (IY+d)
FD CB d EE	SET 5, (IY+d)
FD CB d F6	SET 6, (IY+d)
FD CB d FE	SET 7, (IY+d)
CB 80	RES 0, B
CB 81	RES 0, C
CB 82	RES 0, D
CB 83	RES 0, E
CB 84	RES 0, H
CB 85	RES 0, L
CB 86	RES 0, (HL)
CB 87	RES 0, A
CB 88	RES 1, B
CB 89	RES 1, C
CB 8A	RES 1, D
CB 8B	RES 1, E
CB 8C	RES 1, H
CB 8D	RES 1, L
CB 8E	RES 1, (HL)
CB 8F	RES 1, A
CB 90	RES 2, B
CB 91	RES 2, C
CB 92	RES 2, D
CB 93	RES 2, E
CB 94	RES 2, H
CB 95	RES 2, L
CB 96	RES 2, (HL)
CB 97	RES 2, A
CB 98	RES 3, B
CB 99	RES 3, C
CB 9A	RES 3, D
CB 9B	RES 3, E
CB 9C	RES 3, H
CB 9D	RES 3, L
CB 9E	RES 3, (HL)
CB 9F	RES 3, A
CB A0	RES 4, B
CB A1	RES 4, C
CB A2	RES 4, D
CB A3	RES 4, E
CB A4	RES 4, H
CB A5	RES 4, L
CB A6	RES 4, (HL)
CB A7	RES 4, A
CB A8	RES 5, B
CB A9	RES 5, C
CB AA	RES 5, D
CB AB	RES 5, E
CB AC	RES 5, H
CB AD	RES 5, L
CB AE	RES 5, (HL)
CB AF	RES 5, A
CB B0	RES 6, B
CB B1	RES 6, C
CB B2	RES 6, D
CB B3	RES 6, E
CB B4	RES 6, H
CB B5	RES 6, L
CB B6	RES 6, (HL)
CB B7	RES 6, A
CB B8	RES 7, B
CB B9	RES 7, C
CB BA	RES 7, D
CB BB	RES 7, E
CB BC	RES 7, H
CB BD	RES 7, L
CB BE	RES 7, (HL)
CB BF	RES 7, A
DD CB d 86	RES 0, (IX+d)
DD CB d 8E	RES 1, (IX+d)
DD CB d 96	RES 2, (IX+d)
DD CB d 9E	RES 3, (IX+d)
DD CB d A6	RES 4, (IX+d)
DD CB d AE	RES 5, (IX+d)
DD CB d B6	RES 6, (IX+d)
DD CB d BE	RES 7, (IX+d)
FD CB d 86	RES 0, (IY+d)
FD CB d 8E	RES 1, (IY+d)
FD CB d 96	RES 2, (IY+d)
FD CB d 9E	RES 3, (IY+d)
FD CB d A6	RES 4, (IY+d)
FD CB d AE	RES 5, (IY+d)
FD CB d B6	RES 6, (IY+d)
FD CB d BE	RES 7, (IY+d)

分岐命令

C3 nn_L nn_H	JP nn
C2 nn_L nn_H	JP NZ, n
CA nn_L nn_H	JP Z, nn
D2 nn_L nn_H	JP NC, n
DA nn_L nn_H	JP C, nn
E2 nn_L nn_H	JP PO, n
EA nn_L nn_H	JP PE, n
F2 nn_L nn_H	JP P, nn
FA nn_L nn_H	JP M, nn
18 e	JR e
20 e	JR NZ, e
28 e	JR Z, e
30 e	JR NC, e
38 e	JR C, e
E9	JP (HL)
DD E9	JP (IX)
FD E9	JP (IY)
10 e	DJNZ e

コール命令

CD nn_L nn_H	CALL n
C4 nn_L nn_H	CALL NZ, nn
CC nn_L nn_H	CALL Z, nn
D4 nn_L nn_H	CALL NC, nn
DC nn_L nn_H	CALL C, nn
E4 nn_L nn_H	CALL PO, nn
EC nn_L nn_H	CALL PE, nn
F4 nn_L nn_H	CALL P, nn
FC nn_L nn_H	CALL M, nn
C9	RET
C0	RET NZ
C8	RET Z
D0	RET NC
D8	RET C
E0	RET PO
E8	RET PE
F0	RET P
F8	RET M
ED 4D	RETI
ED 45	RETN
C7	RST 00H
CF	RST 08H
D7	RST 10H
DF	RST 18H
E7	RST 20H
EF	RST 28H
F7	RST 30H
FF	RST 38H

入出力命令

DB n	IN A, (n)
ED 40	IN B, (C)
ED 48	IN C, (C)
ED 50	IN D, (C)
ED 58	IN E, (C)
ED 60	IN H, (C)
ED 68	IN L, (C)
ED 70	[IN F, (C)]
ED 78	IN A, (C)
ED A2	INI
ED B2	INIR
ED AA	IND
ED BA	INDR
D3 n	OUT (n), A
ED 41	OUT (C), B
ED 49	OUT (C), C
ED 51	OUT (C), D
ED 59	OUT (C), E
ED 61	OUT (C), H
ED 69	OUT (C), L
ED 79	OUT (C), A
ED A3	OUTI
ED B3	OTIR
ED AB	OUTD
ED BB	OTDR